



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0000281
Application Number

출 원 년 월 일 : 2003년 01월 03일
Date of Application JAN 03, 2003

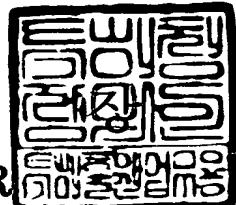
출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 02 월 12 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【제출일자】	2003.01.03		
【국제특허분류】	H01L 23/48		
【발명의 명칭】	칩 스케일 적층 패키지		
【발명의 영문명칭】	Chip scale stack package		
【출원인】			
【명칭】	삼성전자 주식회사		
【출원인코드】	1-1998-104271-3		
【대리인】			
【성명】	윤동열		
【대리인코드】	9-1998-000307-3		
【포괄위임등록번호】	1999-005918-7		
【대리인】			
【성명】	이선희		
【대리인코드】	9-1998-000434-4		
【포괄위임등록번호】	1999-025833-2		
【발명자】			
【성명의 국문표기】	이동호		
【성명의 영문표기】	LEE, Dong Ho		
【주민등록번호】	610521-1055439		
【우편번호】	463-739		
【주소】	경기도 성남시 분당구 미금동 까치마을 신원아파트 313동 1502호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정 에 의한 출원심사를 청구합니다. 대리인 윤동열 (인) 대리인 이선희 (인)		
【수수료】			
【기본출원료】	16	면	29,000 원
【가산출원료】	0	면	0 원

1020030000281

출력 일자: 2003/2/13

【우선권주장료】	0	건	0	원
【심사청구료】	7	항	333,000	원
【합계】			362,000	원
【첨부서류】	1. 요약서·명세서(도면)_1통 2. 위임장[1999년 1월 21일 포괄위임등록, 1999년 3월 15일자 복대리 인선임]_1통			

【요약서】**【요약】**

본 발명은 칩 스케일 적층 패키지에 관한 것으로서, 일면에 형성된 볼 랜드패드들과 그에 연결되어 형성된 회로패턴을 포함하며 관통구멍이 형성된 서브스트레이트와, 상기 관통구멍에 본딩패드가 위치하도록 상기 서브스트레이트의 다른 면에 부착된 반도체 칩과, 상기 본딩패드와 그에 대응되는 상기 회로패턴을 관통구멍을 경유하여 상호 연결시키는 본딩와이어와, 상기 반도체 칩을 봉지하는 제 1봉지부와, 본딩와이어 및 그 접합부분을 봉지하는 제 2봉지부를 포함하는 단위 랜드 그리드 어레이 패키지들 두 개가 상기 볼 랜드 패드가 서로 반대방향을 향하도록 적층되어 부착되어 있는 적층 칩 패키지로서, 적층된 단위 랜드 그리드 어레이 패키지들은 볼 랜드 패드가 서로 미러 상으로 형성되어 있고 각각의 회로패턴들이 테이프 배선 기판의 회로배선에 의해 전기적으로 상호 연결되어 있으며, 하위 랜드 그리드 어레이 패키지의 볼 랜드패드에 외부접속단자가 부착된 것을 특징으로 한다. 이에 따르면, 표준 볼 매트릭스 배열을 갖는 칩 스케일 패키지에 대한 볼 매트릭스의 호환성 있고 번-인 테스트, 패키지 테스트를 거쳐 신뢰도가 확보된 칩 스케일 패키지만을 이용하여 패키지 신뢰성이 향상된다.

【대표도】

도 4

【색인어】

칩 스케일 패키지, 적층 패키지, FBGA, FLGA, 스택(stack)

【명세서】**【발명의 명칭】**

칩 스케일 적층 패키지{Chip scale stack package}

【도면의 간단한 설명】

도 1은 종래 기술에 따른 칩 스케일 적층 패키지의 일 예를 나타낸 단면도,

도 2는 종래 기술에 따른 칩 스케일 적층 패키지의 다른 예를 나타낸 단면도,

도 3은 종래 기술에 따른 칩 스케일 적층 패키지의 또 다른 예를 나타낸 단면도,

도 4는 본 발명에 따른 칩 스케일 적층 패키지의 제 1실시예를 나타낸 단면도,

도 5는 본 발명에 따른 칩 스케일 적층 패키지의 제 2실시예를 나타낸 단면도,

도 6은 본 발명에 따른 칩 스케일 적층 패키지의 제 3실시예를 나타낸 단면도이다.

* 도면의 주요 부분에 대한 부호의 설명 *

100; 칩 스케일 적층 패키지 110, 150; 단위 칩 스케일 패키지

111, 151; 반도체 칩 112, 152; 본딩패드

121, 161; 서브스트레이트 123, 163; 볼 랜드패드

125, 165; 회로패턴 126, 166; 연결 패드(connecting pad)

127, 167; 관통구멍 131, 171; 접착제

135, 175; 본딩와이어 137; 볼

141, 181; 제 1봉지부 143, 183; 제 2봉지부

190; 유연성 회로 기판 191; 베이스 필름

192; 메탈 배선

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<17> 본 발명은 반도체 장치에 관한 것으로서, 더욱 상세하게는 복수의 칩 스케일 패키지가 수직으로 적층되고 전기적으로 상호 연결되어 하나의 패키지로 구성되는 칩 스케일 적층 패키지에 관한 것이다.

<18> 전자기기의 소형화에 따른 반도체 칩 패키지의 소형화가 지난 10년 동안 매우 급속하게 진행되었다. 모바일(mobile) 제품 및 고성능 제품에서 실장면적이 작고 및 패키지 두께가 얇은 칩 스케일 패키지(CSP; Chip Scale Package) 적용은 이미 보편화되었다. 그러나, 리드프레임을 이용했던 기존의 플라스틱 패키지가 제공하는 여러 장점 중에서 아직 칩 스케일 패키지가 해결하지 못하는 부분으로서 패키지 적층(package stack) 기술을 꼽을 수 있다.

<19> 패키지 적층 기술은 하나의 반도체 칩을 포함하는 단위 반도체 칩 패키지를 복수 개 적층하여 하나의 적층 패키지로 구현함으로써 동일 실장 면적에 용량을 증가시킬 수 있는 기술이다. 이 패키지 적층 기술은 복수의 반도체 칩을 적층하여 하

나의 반도체 칩 패키지로 구현하는 칩 적층 기술과 구별된다. 칩 적층 기술이 적용된 대표적인 패키지 형태가 멀티 칩 패키지(Multi Chip Package; MCP)이다. 그러나, 멀티 칩 패키지의 경우 크기 및 고밀도 실장 측면에서 유리한 구조이기는 하나, 신뢰성이 확인되지 않은 다수의 반도체 칩을 사용함으로써 발생하는 수율 저하 문제를 갖는다. 이와는 달리 패키지 적층 기술에 의한 적층 패키지의 경우 각각의 단위 반도체 칩 패키지가 그 제조 과정에서 번-인 테스트(burn-in)를 포함하는 각종 테스트 과정을 거쳐 품질이 보증된다. 따라서, 칩 적층 기술이 적용된 멀티 칩 패키지에 비하여 신뢰성 측면에서 우수하다. 이와 같은 이유로 업계에서는 멀티 칩 패키지보다는 적층 패키지로 수율 문제를 해결하려고 하는 추세이다.

<20> 칩 스케일 패키지의 경우 리드프레임을 이용하는 일반적인 플라스틱 패키지와 달리 대부분 볼 그리드 어레이(Ball Grid Array) 형태로 제작되기 때문에 패키지 적층 기술의 적용에 있어서 여러 가지 제약이 따르며 그에 대한 해결책이 아직은 부족한 상황이다. 종래 칩 스케일 패키지의 적층 기술이 적용된 대표적인 칩 스케일 적층 패키지의 몇 가지 예를 소개하기로 한다.

<21> 도 1은 종래 기술에 따른 칩 스케일 적층 패키지의 일 예를 나타낸 단면도이다. 도 1에 도시된 적층 칩 패키지(600)는 가장 널리 알려진 형태로서, 테이프 배선 기판(620)에 반도체 칩(611)이 실장되어 빔 리드(beam lead; 622)가 반도체 칩(611)과 본딩되어 있고 칩 실장 영역의 외측에 볼(637)이 배치되어 있는 팬-아웃(fan-out)의 볼 매트릭스(ball matrix) 구조를 갖는 단위 칩 스케일 패키지(610) 복수 개가 수직으로 적층되어 있는 구조이다.

<22> 이와 같은 구조를 갖는 적층 패키지의 경우 반도체 칩의 크기에 따라 볼 매트릭스 위치가 변화되어야 하기 때문에 표준화된 단위 칩 스케일 패키지를 적층할 수 없는 문제를 가지고 있다. 즉, 256Mb DRAM을 기준으로 볼 매트릭스를 결정했다면 512Mb에서는 호환성 있는 볼 매트릭스를 사용할 수 없다. 또한, 칩 박형화(chip shrink)가 진행될수록 볼과 반도체 칩 사이의 거리가 멀어지고 공간이 낭비되는 현상을 막을 수가 없다.

<23> 도 2는 종래 기술에 따른 칩 스케일 적층 패키지의 다른 예를 나타낸 단면도이다. 도 2에 도시된 칩 스케일 적층 패키지(700)는 캐리어 테이프(720)에 빔 리드 본딩(beam lead bonding)으로 반도체 칩(711)이 부착된 테이프 캐리어 패키지 구조를 갖는 단위 칩 스케일 패키지(710) 복수 개가 외부리드(737)가 서로 부착되어 수직으로 적층된 구조이다.

<24> 이 칩 스케일 적층 패키지의 경우 실제로 제품 개발 등이 이루어져 있는 상태이나 표준화 등에 어려움이 있고 무엇보다도 반도체 칩을 제대로 보호하기 위해서는 추가의 보호수단(protector)이 필요하다는 이유 등으로 제조 비용 증가를 초래하기 때문에 실제 제품 양산 적용에 어려움을 갖고 있다.

<25> 도 3은 종래 기술에 따른 칩 스케일 적층 패키지의 또 다른 예를 나타낸 단면도이다. 도 3에 도시된 칩 스케일 적층 패키지(800)는 표준화된 볼 매트릭스를 갖는 칩 스케일 패키지(805)와 적층을 위한 칩 스케일 패키지(810)들이 혼합된 형태이다. 최하위의 칩 스케일 패키지(805)는 표준 단위 칩 스케일 패키지 구조에서와 같이 볼(837)들이 서브스트레이트(807)의 일면 전체에 걸쳐 배치된 표준화된 볼 매트릭스 배열을 가지며, 그 칩 스케일 패키지(805)의 상부에 적층되는 단위 칩 스케일 패키지(810)들은 볼(838)들이 팬-아웃 볼 매트릭스 배열을 갖는다.

<26> 그러나, 이와 같은 칩 스케일 적층 패키지는 최하위의 칩 스케일 패키지가 표준화된 패키지 볼 매트릭스와 호환성 있도록 설계되어 있기는 하나 적층되는 패키지는 팬-아웃의 볼 매트릭스를 갖고 있기 때문에 전술한 도 1의 칩 스케일 적층 패키지에서와 같은 동일한 문제점을 갖게 된다.

【발명이 이루고자 하는 기술적 과제】

<27> 본 발명의 목적은 표준 볼 매트릭스 배열을 갖는 칩 스케일 패키지에 대한 볼 매트릭스의 호환성 있고 번-인 테스트, 패키지 테스트를 거쳐 신뢰성이 확보된 칩 스케일 패키지만을 이용하여 패키지 적층을 실현한 칩 스케일 적층 패키지를 제공하는 데에 있다.

【발명의 구성 및 작용】

<28> 이와 같은 목적을 달성하기 위한 본 발명에 따른 칩 스케일 적층 패키지는, 일면에 형성된 볼 랜드패드들과 그에 연결되어 형성된 회로패턴을 포함하며 관통구멍이 형성된 서브스트레이트(substrate)와, 그 서브스트레이트의 관통구멍에 본딩패드가 위치하도록 서브스트레이트의 다른 면에 부착된 반도체 칩과, 본딩패드와 그에 대응되는 회로패턴을 관통구멍을 경유하여 상호 연결시키는 본딩와이어와, 반도체 칩을 봉지하는 제 1봉지부와, 본딩와이어 및 그 접합 부분을 봉지하는 제 2봉지부를 포함하는 단위 랜드 그리드 어레이 패키지들 두 개가 볼 랜드패드가 서로 반대방향을 향하도록 적층되어 부착되어 있는 적층 칩 패키지로서, 적층된 단위 랜드 그리드 어레이 패키지들은 볼 랜드패드가 서로 미러(mirror) 상으로 형성되어 있고 각각의 회로패턴들이 금속 배선이 형성된 연결 기판에 의해 전기적으로 상호 연결되어 있으며, 하위 랜드 그리드 어레이 패키지의 볼 랜드패드에 외부접속단자가 부착된 것을 특징으로 한다. 여기서, 각각의 반도체 칩은 센터패드형 반도체 칩인 것이 바람직하다. 연결 기판은 베이스 필름에 금속배선이 형성된

유연성 회로 기판으로 하며, "ㄷ"자 형태의 것이 바람직하다. 그리고, 단위 칩 스케일 패키지들의 제 1봉지부들이 접착제로 부착된 것이 바람직하다.

<29> 한편, 단위 칩 스케일 패키지의 상부에 하위 단위 칩 스케일 패키지와 동일한 단위 칩 스케일 패키지가 볼 랜드패드에 볼이 부착되어 더 적층되거나, 칩 스케일 적층 패키지 상부에 동일한 칩 스케일 적층 패키지가 볼 랜드패드에 볼이 부착되어 적어도 하나 이상 더 적층될 수 있다.

<30> 이하 첨부 도면을 참조하여 본 발명에 따른 칩 스케일 적층 패키지를 보다 상세하게 설명하고자 한다.

<31> 도 4는 본 발명에 따른 칩 스케일 적층 패키지의 제 1실시예를 나타낸 단면도이다.

<32> 도 4에 도시된 본 발명의 칩 스케일 적층 패키지(100)는 표준화된 볼 매트릭스 구조를 갖는 두 개의 단위 칩 스케일 패키지(110, 150)가 볼 랜드패드(123, 163)들이 서로 반대방향을 향하도록 수직으로 적층 되어 있는 구조이다. 단위 칩 스케일 패키지들 (110, 150)은 동일한 구조로서, 다만 서로 거울상의 볼 랜드패드 배치 구조를 갖는다는 것과 볼(137)의 유무에서의 차이가 존재한다.

<33> 단위 칩 스케일 패키지들(110, 150)의 구조를 살펴보면, 먼저 하위의 칩 스케일 패키지(110)는, 볼 그리드 어레이(Ball Grid Array) 패키지 형태로서 인쇄회로기판(PCB; Printed Circuit Board)이나 테이프 배선 기판과 같은 서브스트레이트(121)를 칩 실장 기판으로 이용한다. 서브스트레이트(121)는 일면에 볼의 부착을 위하여 마련된 볼 랜드 패드(123)와 그와 연결된 소정의 회로패턴(125)을 가지며 중앙 부분에 관통구멍(127)이 형성되어 있다. 반도체 칩(111)은 본딩패드(112)가 칩 중앙 부분에 형성되는 센터패드형

(center pad type) 반도체 칩으로서, 본딩패드(112)가 서브스트레이트(121)의 관통구멍(127)에 위치하도록 하여 볼 랜드패드(123)가 형성된 반대쪽 면에 접착제(131)로 부착되어 있다.

<34> 반도체 칩(111)은 본딩패드(112)가 서브스트레이트(121)의 칩 부착 면의 반대면에 형성된 회로패턴(125)에 본딩와이어(135)로 관통구멍(127)을 경유하여 와이어본딩(wire bonding)되어 있다. 회로패턴(125)과 연결된 볼 랜드패드(123)에는 외부접속단자로서 솔더 재질의 볼(137)이 부착되어 있다. 반도체 칩(111)은 에폭시 몰딩 컴파운드로 형성되는 제 1봉지부(141)에 의해 봉지되며 본딩와이어(135)와 그 접합 부분 역시 제 2봉지부(143)로 봉지되어 있다.

<35> 상위의 칩 스케일 패키지(150)는 하위의 칩 스케일 패키지(150)와 동일한 구조로서, 하위의 칩 스케일 패키지(110)에서 볼 랜드패드(123)와 미리상의 볼 랜드패드(163)를 갖는다. 상위의 칩 스케일 패키지(150)는 볼 그리드 어레이 패키지 형태에서 볼 랜드패드(163)에 볼이 부착되어 있지 않은 상태의 패키지 즉, 랜드 그리드 어레이(land grid array) 패키지이다.

<36> 하위의 칩 스케일 패키지(110)와 상위의 칩 스케일 패키지(150)의 각각의 서브스트레이트(121, 161)에는 볼 랜드패드(123, 163) 외측에 회로패턴(125, 165)과 연결되는 연결패드(126, 166)가 형성되어 있다.

<37> 상위와 하위의 칩 스케일 패키지들(110, 150)의 결합 구조를 살펴보기로 한다. 하위의 칩 스케일 패키지(110)와 상위의 칩 스케일 패키지(150)가 볼 랜드패드(123, 163)가 서로 반대방향을 향하도록 하여 제 1봉지부(141, 181)가 접착제(195)에 의해 부착되어 수직으로 적층되어 있다. 상위 칩 스케일 패키지(150)의 서브스트레이트(161)와 하위 칩

스케일 패키지(110)의 서보스트레이트(121)는 연결 패드(126, 166)가 연결기판으로서 베이스 필름(191)에 금속 배선(192)이 형성된 유연성 회로 기판(190)으로 접합되어 전기적으로 상호 연결을 이루고 있다. 유연성 회로 기판(190)은 단위 칩 스케일 패키지들(110, 150)의 적층물 가장자리 부분에서 "ㄷ"자 형태를 가지며 텝(Tape Automated Bonding)에 의해 연결패드(126, 166)와 결합된다.

<38> 여기서, 칩 스케일 패키지(110, 150)들의 전기적인 연결에 있어서 유연성 회로 기판을 이용하도록 하고 있으나 연결 패드(126, 166) 사이에 칩(111, 151)들이 존재하지 않을 정도로 칩 대비 패키지 크기가 충분히 크다면 레이저를 이용하여 단위 칩 스케일 패키지(110, 150)의 적층물을 관통하는 비아 홀(via hole)을 형성하고 그 비아 홀 내부에 금속을 채워 넣는 도금을 진행하여 칩 스케일 패키지(110, 150)들 간의 전기적 연결도 가능하다.

<39> 전술한 실시예와 같은 본 발명에 따른 칩 스케일 적층 패키지는, 표준화된 볼 매트릭스 구조를 갖는 두 개의 칩 스케일 패키지로 구현된다. 정확하게는, 상위의 칩 스케일 패키지가 볼을 구비하지 않고 있기는 하나 단위 칩 스케일 패키지들은 볼 랜드패드가 표준화된 매트릭스 구조를 갖는다. 상위의 단위 칩 스케일 패키지는 별도로 볼이 형성되어 있지 않아 칩 스케일 적층 패키지의 전체 두께는 줄어든다. 각각의 단위 칩 스케일 패키지는 패키지 상태에서 각종 테스트 공정의 수행이 가능하여 신뢰성이 확보될 수 있다. 더욱이, 이와 같은 칩 스케일 적층 패키지는 추가로 단위 칩 스케일 패키지를 더 포함하는 적층 패키지 구현이 용이하게 이루어질 수 있다. 추가로 단위 칩 스케일 패키지의 적층이 이루어진 실시예를 소개하기로 한다.

<40> 도 5는 본 발명에 따른 칩 스케일 적층 패키지의 제 2실시예를 나타낸 단면도로서, 도 5에 도시된 본 발명의 칩 스케일 적층 패키지(200)는 전술한 제 1실시예의 칩 스케일 적층 패키지(100) 상부에 추가로 최하위의 단위 칩 스케일 패키지(110)와 동일한 단위 칩 스케일 패키지(210)가 더 적층되어 3개의 단위 칩 스케일 패키지(110, 150, 210)를 갖는 구조이다. 최상위 단위 칩 스케일 패키지(210)는 그 하부의 단위 칩 스케일 패키지(150)의 볼 랜드패드(163)에 볼(237)이 부착되어 적층이 이루어지고 전기적으로 상호 연결된다.

<41> 도 6은 본 발명에 따른 칩 스케일 적층 패키지의 제 3실시예를 나타낸 단면도로서, 도 6에 도시된 본 발명의 칩 스케일 적층 패키지(500)는 제 1실시예와 동일하게 상위 단위 칩 스케일 패키지(310, 410)와 하위 단위 칩 스케일 패키지(350, 450)를 포함하는 한 쌍의 칩 스케일 적층 패키지(300, 400) 두 개가 적층된 구조이다. 하위의 칩 스케일 적층 패키지(300)의 상위 단위 칩 스케일 패키지(350)의 볼 랜드패드(363)에 상위 칩 스케일 적층 패키지(400)의 하위 단위 칩 스케일 패키지(410)의 볼(437)이 부착되어 적층이 이루어지고 전기적으로 상호 연결된다.

<42> 전술한 제 2실시예와 제 3실시예에서와 같이 본 발명에 따른 칩 스케일 적층 패키지는 전술한 실시예들에 한정되지 않고 본 발명의 기술적 중심 사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다.

【발명의 효과】

<43> 이상과 같은 본 발명에 의한 칩 스케일 적층 패키지에 의하면, 표준 볼 매트릭스 배열을 갖는 칩 스케일 패키지에 대한 볼 매트릭스의 호환성 있고 번-인 테스트, 패키지

1020030000281

출력 일자: 2003/2/13

테스트를 거쳐 신뢰도가 확보된 칩 스케일 패키지만을 이용하여 적층 패키지를 구현할 수 있어서 패키지 신뢰성이 향상된다.

【특허청구범위】**【청구항 1】**

일면에 형성된 볼 랜드패드들과 그에 연결되어 형성된 회로패턴을 포함하며 관통구멍이 형성된 서브스트레이트(substrate)와, 그 서브스트레이트의 관통구멍에 본딩패드가 위치하도록 서브스트레이트의 다른 면에 부착된 반도체 칩과, 본딩패드와 그에 대응되는 회로패턴을 관통구멍을 경유하여 상호 연결시키는 본딩와이어와, 반도체 칩을 봉지하는 제 1봉지부와, 본딩와이어 및 그 접합 부분을 봉지하는 제 2봉지부를 포함하는 단위 랜드 그리드 어레이 패키지들 두 개가 볼 랜드패드가 서로 반대방향을 향하도록 적층되어 부착되어 있는 적층 칩 패키지로서, 적층된 단위 랜드 그리드 어레이 패키지들은 볼 랜드패드가 서로 미러(mirror) 상으로 형성되어 있고 각각의 회로패턴들이 금속 배선이 형성된 연결 기판에 의해 전기적으로 상호 연결되어 있으며, 하위 랜드 그리드 어레이 패키지의 볼 랜드패드에 외부접속단자가 부착된 것을 특징으로 하는 칩 스케일 적층 패키지.

【청구항 2】

제 1항에 있어서, 상기 반도체 칩은 센터패드형 반도체 칩인 것을 특징으로 하는 칩 스케일 적층 패키지.

【청구항 3】

제 1항에 있어서, 상기 상위 단위 칩 스케일 패키지의 상부에 상기 하위 단위 칩 스케일 패키지와 동일한 단위 칩 스케일 패키지가 볼 랜드패드에 볼이 부착되어 더 적층되어 있는 것을 특징으로 하는 칩 스케일 적층 패키지.

【청구항 4】

제 1항에 있어서, 상기 칩 스케일 적층 패키지 상부에 동일한 칩 스케일 적층 패키지가 볼 랜드패드에 볼이 부착되어 적어도 하나 이상 더 적층되어 있는 것을 특징으로 하는 칩 스케일 적층 패키지.

【청구항 5】

제 1항에 있어서, 상기 연결 기판은 베이스 필름에 금속배선이 형성된 유연성 회로 기판인 것을 특징으로 하는 칩 스케일 적층 패키지.

【청구항 6】

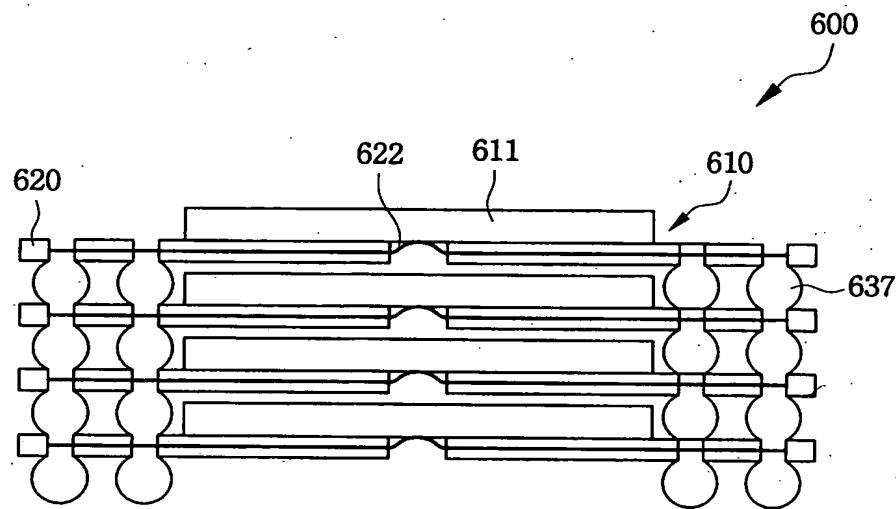
제 1항에 있어서, 상기 연결 기판은 "ㄷ"자 형태인 것을 특징으로 하는 칩 스케일 적층 패키지.

【청구항 7】

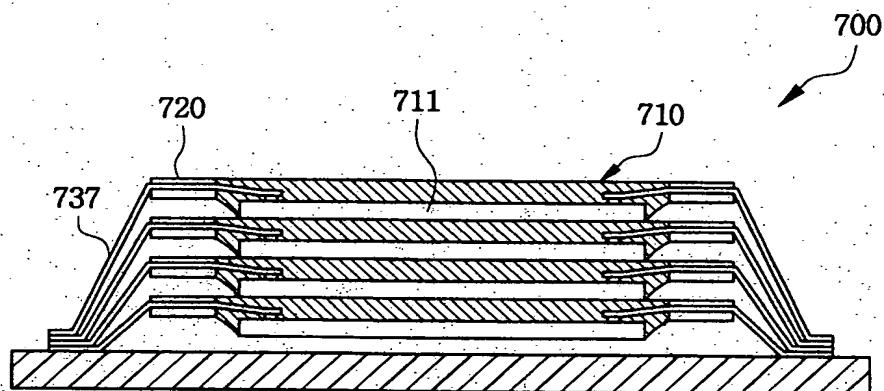
제 1항에 있어서, 상기 단위 칩 스케일 패키지들은 제 1봉지부들이 접착제로 부착 된 것을 특징으로 하는 칩 스케일 적층 패키지.

【도면】

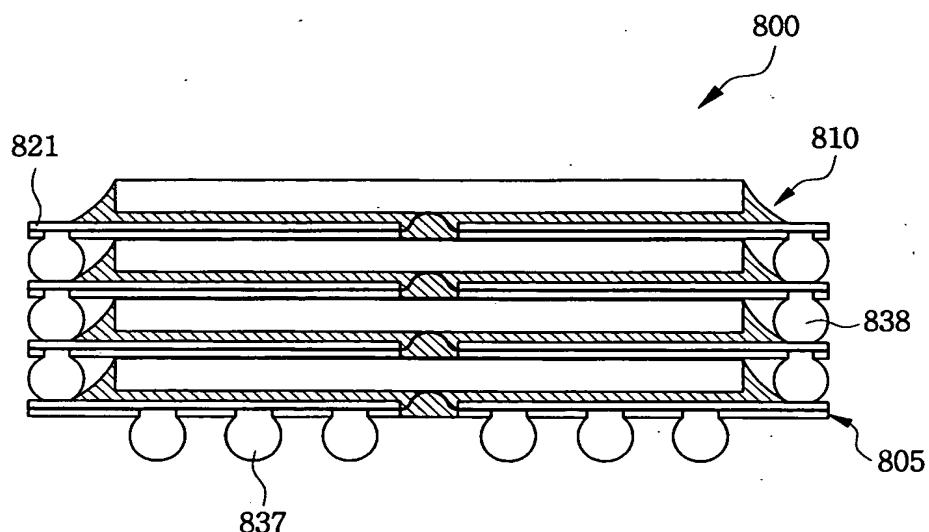
【도 1】



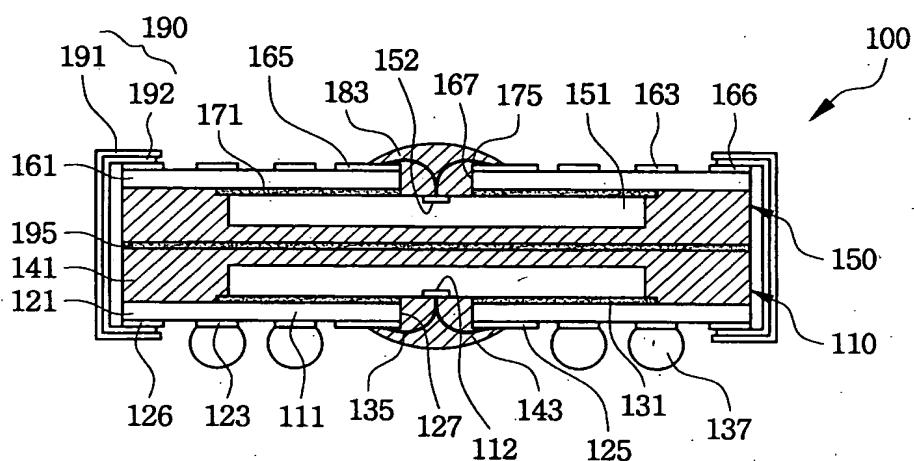
【도 2】



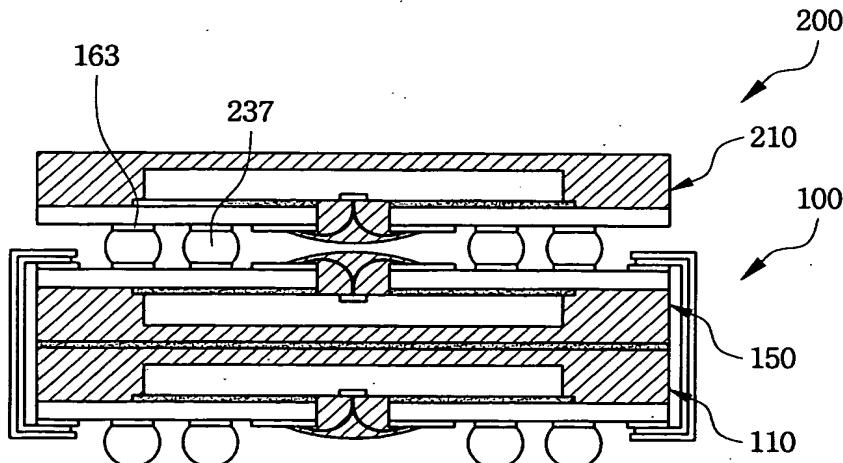
【도 3】



【도 4】



【도 5】



【도 6】

500

